

FSK SIGNAL DEMODULATOR

Patent Number: JP54087465
Publication date: 1979-07-11
Inventor(s): NAGATA YOSHISHIGE
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP54087465
Application Number: JP19770155783 19771223
Priority Number(s):
IPC Classification: H04L27/14
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a high-reliability, non-adjusting and simplified circuit by digitizing a modulation circuit and demodulation circuit.

CONSTITUTION: In the transmitter, clock pulse CS from generator 20 is phase-modulated 21 by transmitting data SD and a FSK-modulated wave is formed 40 from a clock from generator 22 and a phase-modulated wave and sent out via BPF24, amplifier 25 and coupled circuit 26. The FSK-modulated wave received is demodulated 50 and also PSK-demodulated so that receiving data RD and transmission timing CT will be detected. In this case, FSK modulator 40 and FSK demodulator 50 both consist of a FF, counter, memory, decoder, and logical gate performing digital operation, and input-output characteristics of demodulator 50 are made into binary output characteristics.

Data supplied from the esp@cenet database - I2

日本国特許庁(JP)

特許出願公開

公開特許公報 (A)

昭54-87465

Int. Cl.⁷
H 04 L 27/14識別記号 S2 日本分類
98(5) E 22庁内整理番号 43 公開 昭和54年(1979)7月11日
7240 5K発明の数 1
審査請求 未請求

(全 6 頁)

FSK 信号復調装置

21 特 願 昭52-155783
 22 出 願 昭52(1977)12月23日
 72 発 明 者 永田良茂
 尼崎市南清水字中野80番地 三

出 願 人 三菱電機株式会社通信機製作所内
 三菱電機株式会社
 東京都千代田区丸の内二丁目2
 番3号
 代 理 人 弁理士 葛野信一 外1名

明 細 書

1 発明の名称

FSK 信号復調装置

2. 特許請求の範囲

FSK 変調された信号を入力してその波形の 1 周期ごとにパルスを出力する微分回路。あらかじめ定められた周波数のクロックパルスを出力する復調クロック発生回路。上記クロックパルスを入力してこれを計数し上記微分回路の出力によつてリセットされるカウンタ。このカウンタの並列出力を入力して上記カウンタがリセットされてから次にリセットされるまでの計数値を検出しこの計数値があらかじめ定められた第 1 の範囲内にあるとき 2 個信号の一方の信号を出力し上記計数値があらかじめ定められた第 2 の範囲内にあるとき上記 2 個信号の他方の信号を出力する計数値検出回路を備えたことを特徴とする FSK 信号復調装置。

(1)

3. 発明の詳細な説明

この発明は FSK 変調 (周波数シフトキーイング変調) された信号に対する復調装置に関するもので、特に符号を送信する場合この符号により副搬送波を FSK 変調 (位相シフトキーイング変調) し更にこの副搬送波により搬送波を FSK 変調した形態の信号を復調する復調装置に関するものである。鉄道車両に装備された移動局と基地の固定局との間に符号を送信する場合等には上述の変調方法が用いられ、またその搬送波は誘導無線等によつて伝送され車輛制御上必要な信号をも含んでいるので誤りのない伝送が必要であり、したがって信頼度の高い復調装置が要求される。

第 1 図はこのような符号伝送のための送受信機の一例を示すブロック線図で、第 1 図(a)は送信機、第 1 図(b)は受信機の構成を示す。図において 01 は直列符号入力端子、02 は変調器、03 は FM 無線装設送信部、04 は送信機出力端子、05 は受信機入力端子、06 は FM 無線装設受信部、07 は復調器、08 は直列符号の出力端子、09 は受信レベル検知出力

(2)

の出力端子である。この場合の変調器01は普通は可聴周波数帯域内の正弦波を副搬送波としその周波数又は位相を入力直列符号で変調する。第3図は変調器01がFSK変調である場合の波形を示す図であつて同図波形Aは端子00から入力する直列符号、波形Bは変調器01から出力されるFSK変調された副搬送波を表す。FM無線装置送信部02は第3図波形Bに示すようなFSK変調された副搬送波によつて更に搬送波をFM変調して端子03から伝送路に出力する。FM無線装置受信部03では伝送路から端子04を経て入力される搬送波をFM復調して第3図波形Bに示すような副搬送波にして復調器04に入力する。復調器04は第3図波形Bに示すようなFSK変調された副搬送波を復調して第3図Aに示すような直列符号を再生し、同時に、再生した直列符号の信頼度等を知るための目的で受信レベルを検知して端子08へ出力する。

第1図の回路で端子00から入力する直列符号に含まれる周波数成分のうち3 kHzまでを伝送しようとするには副搬送波の最大周波数偏移は5 kHz

(3)

成を示す。図において第1図と同一符号は同一又は相当部分を示し、00はデータクロック発生器、01はFSK変調器、02は変調クロック発生器、(40)はFSK変調器、04は送信用バンドパスフィルタ、05は増幅器、06は送信結合回路、07は送信クロックCSの出力端子、08は送信データSDの入力端子、09は送信エンベロープ信号ESの入力端子、03は受信結合回路、(31)はレベル減衰器、(32)は受信用バンドパスフィルタ、(33)はリミッタ増幅器、(50)はFSK復調器、(37)は復調クロック発生器、(35)はFSK復調器、(36)はレベル検出器、(38)は受信データRDの出力端子、(39)は受信タイミングCTの出力端子である。

また回路のデジタル化に伴つて波形を矩形波とし副搬送波(矩形波であるので以下クロックパルスと称する)に同期して送信データである直列符号を発生し、この送信データにより上記クロックパルスをFSK変調した。第4図は第2図(a)の回路の主要部分の波形を示す波形図であつて、CSはクロックパルス、SDは送信データであつて

(5)

位が必要であり、そのためFM無線装置送信部02で発生するFM変調波の周波数帯域幅は16 kHz以上が必要である。

第1図に示す従来の回路の欠点は変調器、復調器等がアナログ回路で構成されているため B/N とか歪率とかの性能を保ちながら回路構成を簡易化することが困難な点と、FSK変調に渡す符号の伝送速度は1,200 DPS以下が一般的でこれを2,400 DPS以上にすると回路が高価になる点であつた。また従来の回路では符号重、送信側と受信側との符号の基準クロックの差異、及び符号長等の関係によつて符号誤りが発生する率が大きく変動した。

この発明は従来の回路における上述の欠点を除去することを目的とし、変調回路及び復調回路をすべてデジタル回路化することによつて上記目的を達成したものであつて、以下図面について更に詳細に説明する。

第2図はこの発明の一実施例を示すブロック線図で、第2図(a)は送信機、第2図(b)は受信機の構

(4)

第3図のAに相当し、BはSDによつてCSをFSK変調したFSK変調波、Fは波形Eによつて搬送波をFSK変調したFSK変調波をそれぞれ示している。

データクロック発生器00によりクロックパルスCSを発生しこれを送信データSDによりFSK変調器01において位相変調(180° の位相シフト)して波形Eを得る。変調クロック発生器02の出力とFSK変調器01の出力とをFSK変調器(40)に入力して波形Fに示すFSK変調波を形成しこのうちに含まれる高調波成分をバンドパスフィルタ04により除去して増幅器05、結合回路06を介して端子03に出力する。

受信機では端子04、結合回路(31)、バンドパスフィルタ(32)を経て入力されたFSK変調波(第4図波形Fに相当する)はレベル検出器(36)によりそのレベルが検出されると共にリミッタ増幅器(33)を経てFSK復調器(50)に入力される。FSK復調器(50)の他方の入力としては復調クロック発生器(37)の出力が接続されて第4図

(6)

図 1 に示す波形から第 4 図 E に示す波形が検波されて PSK 復調器 (35) に入力され PSK 復調器 (35) は波形 E から波形 SD (すなわち受信データ RD) と波形 CS (すなわち受信タイミング CT) が検出される。

更にこの発明の特徴として FSK 復調器 (50) の入出力特性を 2 個出力特性にしている。第 5 図はこの発明の FSK 復調器の特性の一例を示すグラフであつて実線は従来の周波数弁別回路の特性を示し点線はこの発明の FSK 復調器の特性を示す。すなわち FSK 復調器 (50) では入力周波数が f_0/m_2 ないし f_0/m_1 の範囲にあるときは $+V_1$ の電圧を出力し f_0/m_1 ないし f_0/m_2 の範囲にあるときは $-V_1$ の電圧を出力する。

次に FSK 変調器 (40) と FSK 復調器 (50) の実施例について更に詳細に説明する。第 6 図はデータクロック発生器 (20)、FSK 変調器 (21)、及び FSK 復調器 (40) の一実施例を示す回路図で、図において第 2 図と同一符号は同一部分を示し、(201) は基準クロック発生器、(202) はフリップフロップ、(211)

(7)

(406) 及びメモリ (407)、(408) に記憶させる。ゲート (405) からはカウンタ (401) の計数が零から n_1 までの間論理「1」の信号が出力され、ゲート (407) からはカウンタ (401) の計数が零から n_2 までの間論理「1」の信号が出力される。したがつてゲート (211) の出力が論理「1」である (すなわち第 4 図波形 E がマークである) 間はゲート (409)、(411) を経た信号でカウンタ (401) がリセットされるのでカウンタ (401) は $1/n_1$ の分周回路として動作しフリップフロップ (412) には周波数 f_c/n_1 のパルスが入力された周波数 $f_c/2n_1$ のパルスが出力されてバンドパスフィルタ (24) に入力される。これに反しゲート (212) の出力が論理「0」である (すなわち波形 E がスペースである) 間はゲート (410)、(411) を経た信号でカウンタ (401) がリセットされて $1/n_2$ の分周回路として動作しフリップフロップ (412) には周波数 f_c/n_2 のパルスが入力され周波数 $f_c/2n_2$ のパルスが出力される。送信エンベロープ信号 ES はフリップフロップ (412) に入力されてこれを強制的にリセッ

(9)

トエクススクルシブオアゲート、(212) はインバータ、(401) はカウンタ、(402)、(403)、(404) はそれぞれデコーダ、(405)、(406) および (407)、(408) はゲートによつて構成されるメモリ、(409)、(410)、(411) はそれぞれゲート、(412) はフリップフロップ、(413) は入力抵抗である。

基準クロック発生器 (201) の出力パルスでフリップフロップ (202) を動作させるとその出力端子 Q の電圧波形は第 4 図 CS に示すようになる。信号 CS は端子 Q から出力され伝送さるべき直列符号 SD は信号 CS に同期して作成され、たとえば第 4 図 SD に示す如くなる。信号 SD で信号 CS を FSK 変調するには両信号をエクススクルシブオアゲート (211) の両入力端子に接続すればよく、ゲート (211) の出力波形は第 4 図 E の如くなり、インバータ (212) からはその反転波形が出力される。変調クロック発生器 (20) の出力周波数を f_c とし整数 n_1 、 n_2 に対し $f_c/2n_1 \approx f_0 - \Delta f$ 、 $f_c/2n_2 \approx f_0 + \Delta f$ となるように定め、カウンタ (401) の計数値 n_1 、 n_2 、零をそれぞれ出力するデコーダ (402)、(403)、(404) を設けこれらデコーダの出力をメモリ (405)、

(8)

ト状態に保ち FSK 変調波の出力を禁止するか又は FSK 変調波を出力させるよう制御する。

図 7 図は FSK 復調器 (50) 及び PSK 復調器の一実施例を示す回路図であつて第 2 図と同一符号は同一又は相当部分を示し、抵抗 R1、コンデンサ C1、インバータ (501)、ゲート (502) で入力波形の立上りを微分してパルスを出力する微分回路を形成し、フリップフロップ (503) の出力端子 Q とリセット端子 R の間に抵抗 R2、コンデンサ C2 の時間定数回路を形成してこれを単安定マルチバイブレータとしている。(504) はカウンタ、(505)、(506)、(507)、(508) はカウンタ (504) の計数値 m_1 、 m_2 、 m_3 、 m_4 に対するそれぞれのデコーダ、(509) と (510)、(511) と (512)、(517) と (518)、(519) と (520) はそれぞれメモリを構成するゲート、(513)、(514)、(515)、(516) はそれぞれゲート、(512) はシュミット回路、(351) はエクススクルシブオアゲートで抵抗 R5、コンデンサ C5 によつて微分回路を形成し、フリップフロップ (352) は抵抗 R6、コンデンサ C6 と共に単安定マルチバイブ

00

レータを形成し、(353)、(354)はインバータ、(356)、(357)、(358)、(359)はそれぞれゲートである。

リミッタ増幅器(33)の出力は第4図にFとして示す波形に相当し、この搬送波の1周期ごとに1個のパルスがゲート(502)から出力される。第6図について説明した実施例の送信機から伝送された信号を受信したとするとゲート(502)から出力するパルスの周波数は $f_c/2n_1$ 又は $f_c/2n_2$ のいずれかである。フリップフロップ(503)はゲート(502)の出力から少し遅れたパルスを出力してカウンタ(504)をリセットする。復調クロック発生器(37)の出力周波数を f_D とするとカウンタ(504)はリセットから次のリセットまでの間にカウンタ(504)に入力される周波数 f_D のパルスを計数する。この計数値が m_1 と m_2 との間にあればリセットの直前においてはゲート(509)の出力は論理「1」となっており、またこの計数値が m_3 と m_4 との間にあればゲート(512)の出力は論理「0」となっているためゲート(513)、(514)、(515)、(516)から

00

て不安定マルチバイブレータを構成するフリップフロップ(352)をトリガしてクロックパルスCSの幅の約 $\frac{1}{2}$ のパルス幅のパルスを出力すると、フリップフロップ(352)の出力は受信タイミングCTとなる。

シユミット回路(521)の出力と受信タイミングCTとからインバータ(353)、(354)、ゲート(356)～(359)によつて受信データRDが作成できること(第4図EとCSからSDを作成するのに相当する)は明らかである。

また第7図に示すこの発明の回路においては m_1 、 m_2 、 m_3 、 m_4 等の数値を任意に選定し第4図に示す $f_D/m_2 \sim f_D/m_1$ の周波数幅、 $f_D/m_4 \sim f_D/m_3$ の周波数幅を任意に設定することができて外部妨害波による誤符号の発生を十分に防止することができる。

以上の説明から明らかなようにこの発明の回路は大部分デジタル回路で構成できるため、高信頼度、無調整、回路の簡易化が可能であり、自己同期方式であるため符号伝送における回路を簡易化

01

メモリ(517)、(518)、メモリ(519)、(520)に入力し、ゲート(517)とゲート(520)の出力を抵抗R31、R32、コンデンサC3により平滑化してシユミット回路(521)に入力する。

この場合 m_1 、 m_2 、 m_3 、 m_4 の数値の関係は $m_2 > m_1 > m_4 > m_3$ とし、 f_D/m_1 、 f_D/m_2 、 f_D/m_3 、 f_D/m_4 の周波数関係を第5図に示すようにする。したがつてリミッタ増幅器(33)の出力が第4図Fのような場合、シユミット回路(521)の出力は同図Eのようになる。第7図においてデコーダ(505)、(506)、(507)、(508)、ゲート(509)～(512)、ゲート(513)～(516)、ゲート(517)、(520)、シユミット回路(521)で構成する回路をこの明細書では計数値検出回路と称することにし、復調クロック(37)、カウンタ(504)及び上記計数値検出回路によつてデジタルディスクリミネータを構成する。

R5、C5およびゲート(351)は微分回路を構成し、シユミット回路(521)の出力(第4図波形E)の変化点でパルスを出力する。このパルスによつ

02

してビット同期も容易であり、かつまた符号の伝送速度を向上してもコストアップの原因とならず、更にデジタルディスクリミネータの特性を自由に設定することができるので、外部妨害波の影響を除去することができる。

4. 図面の簡単な説明

第1図は従来の回路の一例を示すブロック線図、第2図はこの発明の一実施例を示すブロック線図、第3図は第1図の回路の波形を示す波形図、第4図は第2図の回路の波形を示す波形図、第5図はこの発明のFSK復調器の特性の一例を示すグラフ、第6図はこの発明のデータクロック発生器、FSK変調器及びFSK復調器の一実施例を示す回路図、第7図はこの発明のFSK復調器及びPSK復調器の一実施例を示す回路図である。

図において00はPSK変調器、02は変調クロック発生器、(40)はFSK変調器、(37)は復調クロック発生器、(50)はFSK復調器、(35)はPSK復調器、(503)はフリップフロップ、(504)はカウンタ、(505)、(506)、(507)、(508)はデコーダ、(521)

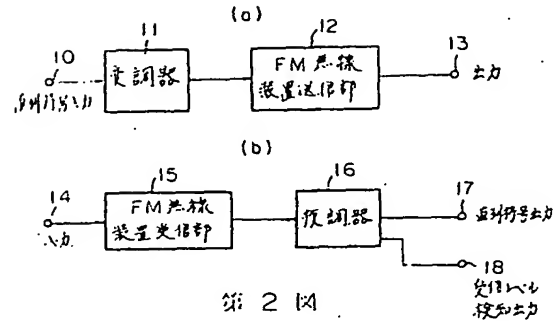
03

はシュミット回路、(502)、(509)、(510)、(511)、
(512)、(513)、(514)、(515)、(516)、(517)、(518)、
(519)、(520)はそれぞれゲート、インバータ(501)
とゲート(502)で積分回路を構成し、デコーダ
(503)～(508)とゲート(509)～(520)により計
数値検出回路を構成する。

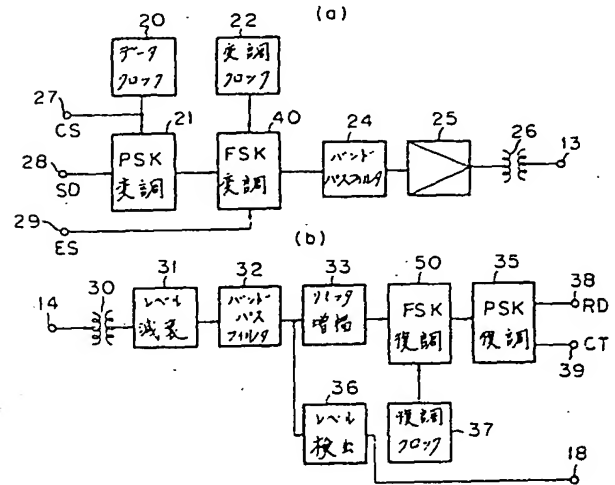
なお各図中同一符号は同一又は相当部分を示す
ものとする。

代理人 高野 信一

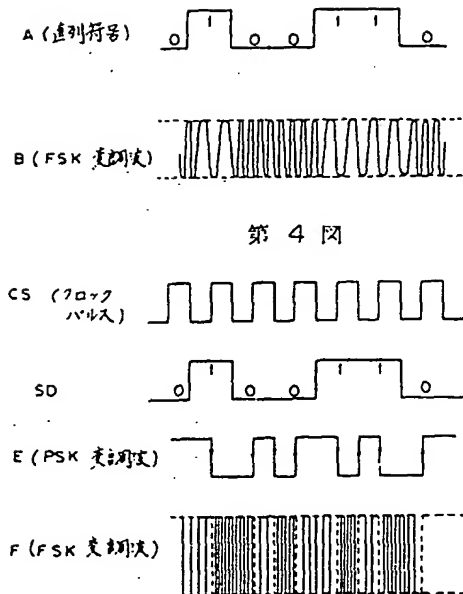
第1図



第2図

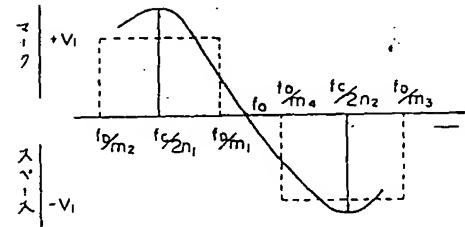


第3図

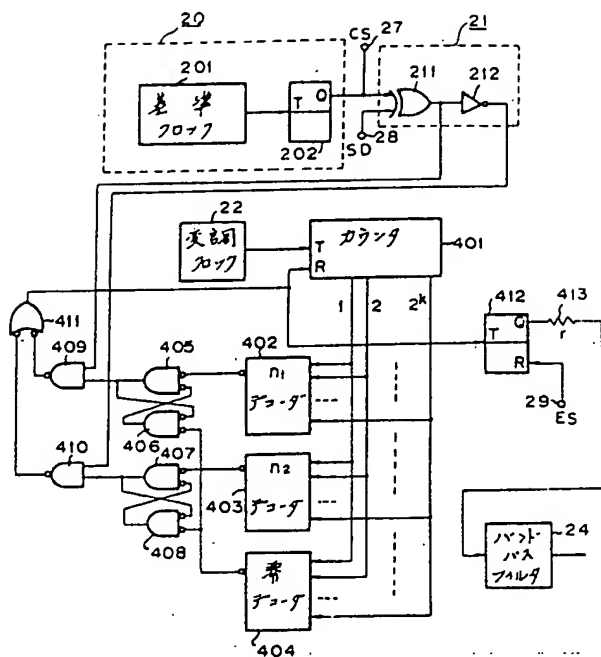


第4図

第5図



6



第 7 回

